

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-9081

(P2002-9081A)

(43) 公開日 平成14年1月11日 (2002.1.11)

(51) Int.Cl.⁷

識別記号

F I

キーワード (参考)

H 0 1 L 21/324

H 0 1 L 21/324

X 4 G 0 7 7

// C 3 0 B 29/06

C 3 0 B 29/06

A

審査請求 未請求 請求項の数4 O L (全 4 頁)

(21) 出願番号 特願2000-191323 (P2000-191323)

(22) 出願日 平成12年6月26日 (2000.6.26)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 山 田 浩 玲

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝マイクロエレクトロニクスセン
ター内

(72) 発明者 藤 井 修

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74) 代理人 100064285

弁理士 佐藤 一雄 (外3名)

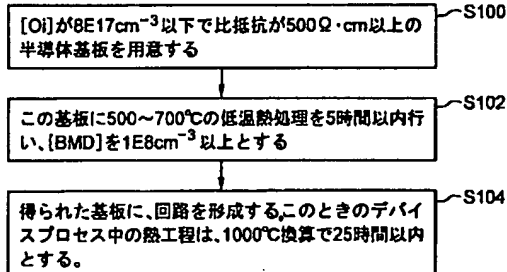
Fターム (参考) 4G077 AA02 BA04 CF10 EB10 HA12

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 R F 特性に優れた高抵抗基板を用いて、スリップに起因した不良の発生を防止し、歩留まりを向上させることが可能な半導体装置及びその製造方法を提供する。

【解決手段】 基板中の格子間酸素濃度 ([O i]) が $8 \times 10^{17} \text{ cm}^{-3}$ 以下、酸素析出物密度 ([BMD]) が $1 \times 10^8 \text{ cm}^{-3}$ 以上、基板比抵抗が $500 \Omega \cdot \text{cm}$ 以上である基板を用い、デバイスプロセス中の熱処理工程を 1000°C 換算で25時間以内とすることにより、基板の低抵抗化を抑制しつつ、スリップ等の結晶欠陥の発生が防止される。



【特許請求の範囲】

【請求項1】半導体基板上に回路が形成された半導体装置において、

前記半導体基板は、基板中の格子間酸素濃度（以下、 $[O_i]$ と称する）が $8E17\text{ cm}^{-3}$ 以下、微小欠陥密度（以下、 $[BMD]$ と称する）が $1E8\text{ cm}^{-3}$ 以上、比抵抗が $500\Omega\cdot\text{cm}$ 以上であることを特徴とする半導体装置。

【請求項2】半導体基板を用いて回路を形成し、半導体装置を製造する方法において、

$[O_i]$ が $8E17\text{ cm}^{-3}$ 以下、 $[BMD]$ が $1E8\text{ cm}^{-3}$ 以上、及び比抵抗が $500\Omega\cdot\text{cm}$ 以上の半導体基板を用い、前記回路を形成するためのデバイスプロセス中の熱工程を、 1000°C 換算で25時間以内とすることを特徴とする半導体装置の製造方法。

【請求項3】半導体基板を用いて回路を形成し、半導体装置を製造する方法において、

$[O_i]$ が $8E17\text{ cm}^{-3}$ 以下、及び比抵抗が $500\Omega\cdot\text{cm}$ 以上の半導体基板に対し、 $500\sim700^\circ\text{C}$ で25時間以内熱処理を行って、 $[BMD]$ を $1E8\text{ cm}^{-3}$ 以上とするステップと、

前記熱処理を施した前記半導体基板を用いて前記回路を形成するステップであって、回路形成時の熱処理を 1000°C 換算で25時間以内とするステップと、を備えることを特徴とする半導体装置の製造方法。

【請求項4】半導体基板を用いて回路を形成し、半導体装置を製造する方法において、

結晶引き上げ時に、 N_2 を $1E13\text{ cm}^{-3}$ 以上ドープすることにより $[BMD]$ を $1E8\text{ cm}^{-3}$ 以上とした、

$[O_i]$ が $8E17\text{ cm}^{-3}$ 以下で比抵抗が $500\Omega\cdot\text{cm}$ 以上の半導体基板を得るステップと、

前記半導体基板を用いて前記回路を形成するステップであって、回路形成時の熱処理を 1000°C 換算で25時間以内とするステップと、を備えることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関するものであり、特に高周波信号を用いる装置及びその製造方法に関するものである。

【0002】

【従来の技術】高周波信号を用いるRF（Radio Frequency）通信用デバイスでは、高周波信号のエネルギー損失を抑制し、GHz帯においてもQ値の高いスパイラルインダクタを形成するために、支持基板としてCz法により結晶引き上げを行った高抵抗基板（比抵抗 $\rho \geq 1000\Omega\cdot\text{cm}$ ）を用いたSOI（Silicon On Insulator）ウェーハを使用する場合が多く、これにより高周波特性が改善される。

【0003】しかし、半導体基板中の酸素濃度が高い

と、基板に回路を形成するデバイスプロセス中で行われる熱処理により、酸素ドナーが発生して基板の比抵抗が低下する。このため、格子間酸素濃度（以下、 $[O_i]$ と称する）が低い（ $[O_i] \leq 8E17\text{ cm}^{-3}$ ）基板を用いる必要がある。

【0004】酸素濃度を低くする方法としては、（1）MCZ法で結晶引き上げを行う方法、あるいは（2）

$[O_i]$ が高い（ $[O_i] \geq 1E17\text{ cm}^{-3}$ ）基板に熱処理を行い、酸素析出による微小欠陥（Bulk Micro Defect、以下BMDという）を形成し、固溶酸素濃度を低減させる方法がある。

【0005】ところが、上記（1）の方法による基板を用いてRFデバイスを作成すると、固溶酸素による転位のピンニング効果が低下するため、デバイスプロセス中の熱処理において、スリップが発生するという問題があった。これは、4点支持ポート等で半導体基板を支持して熱処理を行っている最中に、基板におけるポートの接触箇所クラック等が発生するという現象である。

【0006】また、上記（2）の方法による基板を用いてRFデバイスを作成すると、BMDから再溶解した酸素による転位のピンニング効果により、熱処理時においてポート接触箇所にスリップが発生することは抑制できる。しかし、デバイスプロセス中の熱ストレスによって、基板の全面にスリップが入るという問題があった。

【0007】

【発明が解決しようとする課題】上述のように、従来は $[O_i]$ が低い高抵抗基板において、スリップを有効に防止することができず、スリップに起因した不良により歩留まりの低下を招いていた。

【0008】本発明は上記事情に鑑みてなされたもので、RF特性に優れた高抵抗基板であって、スリップに起因した不良の発生を防止し、歩留まりを向上させることが可能な半導体装置及びその製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明の半導体装置は、基板中の $[O_i]$ が $8E17\text{ cm}^{-3}$ 以下、 $[BMD]$ が $1E8\text{ cm}^{-3}$ 以上、比抵抗が $500\Omega\cdot\text{cm}$ 以上である半導体基板を用いて回路が形成されていることを特徴とする。

【0010】本発明の半導体装置の製造方法は、 $[O_i]$ が $8E17\text{ cm}^{-3}$ 以下、 $[BMD]$ が $1E8\text{ cm}^{-3}$ 以上、及び比抵抗が $500\Omega\cdot\text{cm}$ 以上の半導体基板を用い、回路を形成するためのデバイスプロセス中の熱工程を、 1000°C 換算で25時間以内とする点に特徴がある。

【0011】また本発明の半導体装置の製造方法は、 $[O_i]$ が $8E17\text{ cm}^{-3}$ 以下、及び比抵抗が $500\Omega\cdot\text{cm}$ 以上の半導体基板に対し、 $500\sim700^\circ\text{C}$ で5時間以内熱処理を行って、 $[BMD]$ を $1E8\text{ cm}^{-3}$ 以

上とするステップと、この半導体基板を用いて回路を形成するステップであって、回路形成時の熱処理を1000℃換算で25時間以内とすることを特徴とする。

【0012】あるいは本発明の半導体装置の製造方法は、結晶引き上げ時に、 N_1 を $1E13\text{ cm}^{-2}$ 以上ドーピングすることにより[BMD]を $1E8\text{ cm}^{-2}$ 以上とした、[O_i]が $8E17\text{ cm}^{-3}$ 以下で比抵抗が $500\Omega\cdot\text{cm}$ 以上の半導体基板を得るステップと、この半導体基板を用いて回路を形成するステップであって、回路形成時の熱処理を1000℃換算で25時間以内とするステップとを備えることを特徴とする。

【0013】

【発明の実施の形態】上述したように、高抵抗基板において、基板比抵抗を下げないようにしつつ[O_i]を低下させた場合、熱処理時にボート接触箇所においてスリップが発生したり、熱ストレスが原因となって基板全面にスリップが発生するという問題があった。

【0014】その対策としては、BMDを所定数以上形成するという手法がある。図2に、BMDの密度(以下、[BMD]と称する)とスリップ長との関係を示す。この図2より明らかなように、[BMD]を $1E8\text{ cm}^{-2}$ 以上形成することで、スリップを有効に防止できることがわかる。

【0015】[O_i]が $8E17\text{ cm}^{-3}$ 以下である[O_i]の低い基板では酸素析出は起り難い。しかし、例えば500～700℃の低温熱処理を行ったり、 N_1 を導入することで酸素析出を加速して、BMDを形成することが可能である。

【0016】ところで、BMDを高密度に形成すると、機械強度(上降伏応力: σ)が劣化し、デバイスプロセス中においてスリップが多発する場合がある。

【0017】図3に、機械強度のBMDに対する依存性を示す。ここで、一点鎖線L1で示された曲線は、[O_i]が $14E17\text{ cm}^{-3}$ 、点線L2は[O_i]が $10E17\text{ cm}^{-3}$ 、実線L3は[O_i]が $8E17\text{ cm}^{-3}$ であるときの[BMD]と機械強度との関係を示している。

【0018】この図3から明らかなように、BMDが増加するに従って機械強度が低下するが、[O_i]が高い場合程その低下現象が顕著であり、[O_i]が低い場合には大幅な機械強度の低下は起こらない。

【0019】また、図4に、機械強度の熱処理時間に対する依存性を示す。ここで、点線L11で示された曲線は、[O_i]が $14E17\text{ cm}^{-3}$ 、実線L12は[O_i]が $8E17\text{ cm}^{-3}$ における熱処理時間と機械強度との関係を示す。

【0020】この図4より、熱処理時間が長くなるにつれて、機械強度は低下していくことがわかる。また、

[O_i]が高い程機械強度の低下がより顕著であり、

[O_i]が低い場合はあまり低下しない。図4に基づ

き、デバイスプロセス中の熱処理時間を1000℃換算 50

で25時間以内とすることで、機械強度の劣化の防止が可能であるとする。

【0021】以上の考察に基づき、本発明の実施の形態では、図1に示されたように、[O_i]が低く([O_i] $\leq 8E17\text{ cm}^{-3}$)、高抵抗($\rho \geq 500\Omega\cdot\text{cm}$)の基板を用意し(ステップS100)、この基板に低温熱処理(500～700℃)を5時間以内行ってBMDを所定数以上([BMD] $\geq 1E8\text{ cm}^{-2}$)形成し(ステップS102)する。

【0022】ただし、デバイスプロセス中の熱処理行程で、BMDが成長しすぎて機械強度が低下しないようにするため、デバイスプロセス中の熱工程を1000℃換算で25時間以内(ステップS104)とする。

【0023】ここで、BMDの形成には、低温熱処理に限らず、 N_1 の導入を用いてもよい。

【0024】1000℃での熱処理時間(t)への換算には、([O_i] - [O_i]E) * (D * t) = 一定の関係を用了。

【0025】但し、[O_i]は熱処理前における基板に含まれる酸素濃度、[O_i]Eは酸素の過飽和度、Dは拡散係数とする。

【0026】以下に、上記実施の形態に基づいて作成した実施例1及び2、従来の技術に相当する比較例1及び2について、それぞれ説明する。

【0027】(1)実施例1

MCZ法を用いて、基板比抵抗 ρ が $5\text{ k}\Omega\cdot\text{cm}$ 、[O_i]が $6E17\text{ atoms}\cdot\text{cm}^{-3}$ であるミラーウェーハを試作し、600℃で6時間、低温熱処理を行い、 $5E8\text{ cm}^{-2}$ のBMDを形成した。

【0028】このミラーウェーハを支持基板とし、貼り合わせ法を用いて、シリコン酸化膜の厚さ(t_{Si})が0.2 μm 、埋め込み酸化膜の厚さ(t_{BOX})が0.2 μm の薄膜SOIウェーハを試作した。

【0029】このSOIウェーハに、RF BiCMOSプロセスでRF通信用デバイスを試作した。ここで、RF通信用デバイスにおけるBiCMOSプロセス中の熱工程は、1000℃に換算して15時間とした。

【0030】このようなRFデバイスを試作したウェーハの機械強度を3点曲げで評価したところ、1000℃において11MPaであった。

【0031】(2)実施例2

上記実施例1とBMDの形成方法が異なり、結晶引き上げ時に $1E14\text{ cm}^{-2}$ の N_1 をドーピングすることによりBMDを形成した。他の点は実施例1と同様であり、説明を省略する。

【0032】(3)比較例1

上記実施例1、2と異なり、BMDの形成のための低温熱処理を行わなかった。他の点は実施例1及び2と同様であり、説明を省略する。

【0033】(4)比較例2

上記実施例1において、RF通信用デバイスにおけるBiCMOSプロセス中の熱工程を、1000℃換算で40時間行った。他の点は、実施例1及び2と同様であり説明を省略する。この比較例2に従い、RF通信用デバイスを試作したウェーハの機械強度を測定したところ、8MPaであった。

【0034】上記実施例1及び2、比較例1及び2のウェーハに対して、RF特性、歩留まり率、及び結晶欠陥（スリップ）の発生を調べたところ、図5に示されるような結果が得られた。

【0035】実施例1及び2、比較例1及び2において、いずれもRF特性は良好であった。

【0036】実施例1及び2はいずれも結晶欠陥が発生せず、歩留まり比も比較例1より2割高かった。

【0037】比較例1では、ポート接触箇所において、結晶欠陥が発生した。比較例2では、全面に結晶欠陥が発生し、デバイスの作成が不能で装置として完成するに至らなかった。

【0038】このように、実施例1及び2の結果から、上記実施の形態によれば、ポート接触箇所も含めて結晶欠陥の発生を防止することができ、歩留まり比が向上することがわかった。

【0039】即ち、BMDを $1E8\text{ cm}^{-3}$ 以上析出させることで、ポート接触箇所を含めたスリップの発生を抑制することができ、デバイス不良を防止し歩留まりの向上に寄与することが確認された。ここで、[O_i]が低

*い基板でBMDを析出させる方法としては、実施例1のように低温熱処理を5時間以上行う方法を用いてもよく、実施例2のようにN₂をドーピングする方法、あるいはCをドーピングする方法を用いてもよい。

【0040】上述した実施の形態は一例であって、本発明を限定するものではない。例えば、上記実施の形態ではSOIウェーハを用いている。しかし、SOIウェーハに限らず、 $500\Omega\cdot\text{cm}$ 以上の高抵抗のバルクウェーハを用いてもよい。

10 【0041】

【発明の効果】以上説明したように、本発明の半導体装置は、基板中の[O_i]が $8E17\text{ cm}^{-3}$ 以下、[BMD]が $1E8\text{ cm}^{-3}$ 以上、比抵抗が $500\Omega\cdot\text{cm}$ 以上である基板に回路を形成することで、良好なRF特性を確保しつつ、結晶欠陥の発生を防止して製造歩留まりを向上させることが可能である。このような半導体装置は、本発明の製造方法により得ることができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態による半導体装置の製造方法の手順を示したフローチャート。

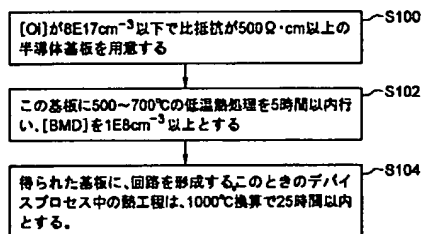
【図2】BMDとスリップ長との関係を示したグラフ。

【図3】BMDと機械強度との関係を示したグラフ。

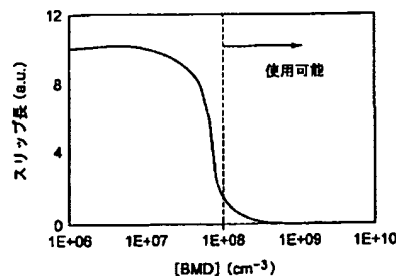
【図4】熱処理時間と機械強度との関係を示したグラフ。

【図5】実施例1及び2と比較例1及び2のRF特性、歩留まり比、結晶欠陥の発生の有無を示した説明図。

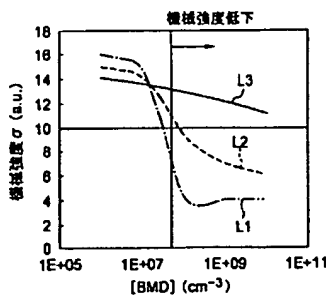
【図1】



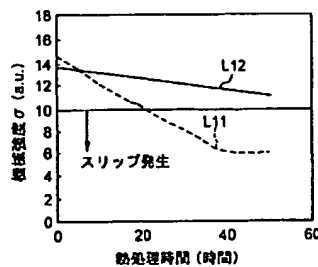
【図2】



【図3】



【図4】



【図5】

	RF特性	歩留まり比	結晶欠陥 (スリップ)
実施例1	良	1.2	発生せず
実施例2	良	1.2	発生せず
比較例1	良	1.0	ポート接触箇所において発生
比較例2	良	試作不可	全面に発生

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】平成15年7月31日(2003. 7. 31)

【公開番号】特開2002-9081(P2002-9081A)
 【公開日】平成14年1月11日(2002. 1. 11)
 【年通号数】公開特許公報14-91
 【出願番号】特願2000-191323(P2000-191323)
 【国際特許分類第7版】

H01L 21/324
 // C30B 29/06
 【F1】
 H01L 21/324 X
 C30B 29/06 A

【手続補正書】

【提出日】平成15年4月25日(2003. 4. 25)

【手続補正1】

【補正対象書類名】明細書
 【補正対象項目名】特許請求の範囲
 【補正方法】変更
 【補正内容】

【特許請求の範囲】

【請求項1】半導体基板上に回路が形成された半導体装置において、前記半導体基板は、基板中の格子間酸素濃度(以下、[Oi]と称する)が $8 \times 10^{17} \text{ cm}^{-3}$ 以下、微小欠陥密度(以下、[BMD]と称する)が $1 \times 10^8 \text{ cm}^{-3}$ 以上、比抵抗が $500 \Omega \cdot \text{cm}$ 以上であることを特徴とする半導体装置。

【請求項2】半導体基板の表面部分に回路が形成された半導体装置において、前記半導体基板は、[Oi]が $8 \times 10^{17} \text{ cm}^{-3}$ 以下、[BMD]が $1 \times 10^8 \text{ cm}^{-3}$ 以上、比抵抗が $500 \Omega \cdot \text{cm}$ 以上であり、 1000°C 換算で25時間以内の熱処理工程を含むデバイスプロセスによって、前記半導体基板の表面部分に前記回路が形成されていることを特徴とする半導体装置。

【請求項3】前記半導体基板は、[Oi]が $8 \times 10^{17} \text{ cm}^{-3}$ 以下、及び比抵抗が $500 \Omega \cdot \text{cm}$ 以上の半導体基板に対し、 $500 \sim 700^\circ\text{C}$ で5時間以内熱処理を行って、[BMD]を $1 \times 10^8 \text{ cm}^{-3}$ 以上としたことにより得られたものであることを特徴とする請求項2記載の半導体装置。

【請求項4】前記半導体基板は、結晶引き上げ時に、 N_2 を $1 \times 10^{13} \text{ cm}^{-3}$ 以上ドーピングすることにより[BMD]を $1 \times 10^8 \text{ cm}^{-3}$ 以上とした、[Oi]が $8 \times 10^{17} \text{ cm}^{-3}$ 以下で比抵抗が $500 \Omega \cdot \text{cm}$ 以上であることを特徴とする請求項2記載の半導体装置。

【請求項5】半導体基板を用いて回路を形成し、半導体装置を製造する方法において、

[Oi]が $8 \times 10^{17} \text{ cm}^{-3}$ 以下、[BMD]が $1 \times 10^8 \text{ cm}^{-3}$ 以上、及び比抵抗が $500 \Omega \cdot \text{cm}$ 以上の半導体基板を用い、前記回路を形成するためのデバイスプロセス中の熱工程を、 1000°C 換算で25時間以内とすることを特徴とする半導体装置の製造方法。

【請求項6】[Oi]が $8 \times 10^{17} \text{ cm}^{-3}$ 以下、及び比抵抗が $500 \Omega \cdot \text{cm}$ 以上の半導体基板に、 $500 \sim 700^\circ\text{C}$ で5時間以内熱処理を行って、[BMD]を $1 \times 10^8 \text{ cm}^{-3}$ 以上とすることで、前記半導体基板を得るステップをさらに備えることを特徴とする請求項5記載の半導体装置の製造方法。

【請求項7】結晶引き上げ時に、 N_2 を $1 \times 10^{13} \text{ cm}^{-3}$ 以上ドーピングすることにより[BMD]を $1 \times 10^8 \text{ cm}^{-3}$ 以上とした、[Oi]が $8 \times 10^{17} \text{ cm}^{-3}$ 以下で比抵抗が $500 \Omega \cdot \text{cm}$ 以上の前記半導体基板を得るステップをさらに備えることを特徴とする請求項5記載の半導体装置の製造方法。

【手続補正2】

【補正対象書類名】明細書
 【補正対象項目名】0009
 【補正方法】変更
 【補正内容】

【課題を解決するための手段】本発明の半導体装置は、基板中の[Oi]が $8 \times 10^{17} \text{ cm}^{-3}$ 以下、[BMD]が $1 \times 10^8 \text{ cm}^{-3}$ 以上、比抵抗が $500 \Omega \cdot \text{cm}$ 以上である半導体基板を用いて回路が形成されていることを特徴とする。また本発明の半導体装置は、半導体基板の表面部分に回路が形成されており、前記半導体基板は、[Oi]が $8 \times 10^{17} \text{ cm}^{-3}$ 以下、[BMD]が $1 \times 10^8 \text{ cm}^{-3}$ 以上、比抵抗が $500 \Omega \cdot \text{cm}$ 以上であり、 1000°C 換算で25時間以内の熱処理工程を含むデバイスプロセ

スによって、前記半導体基板の表面部分に前記回路が形成されていることを特徴とする。ここで、前記半導体基板は、 $[O_i]$ が $8E17\text{ cm}^{-3}$ 以下、及び比抵抗が $500\Omega\cdot\text{cm}$ 以上の半導体基板に対し、 $500\sim700^\circ\text{C}$ で5時間以内熱処理を行って、 $[BMD]$ を $1E8\text{ cm}^{-3}$ 以上としたことにより得られたものであってもよい。あるいは前記半導体基板は、結晶引き上げ時に、 N_2 を $1E13\text{ cm}^{-3}$ 以上ドーピングすることにより $[BMD]$ を $1E8\text{ cm}^{-3}$ 以上とした、 $[O_i]$ が $8E17\text{ cm}^{-3}$ 以下で比抵抗が $500\Omega\cdot\text{cm}$ 以上であっててもよい。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】本発明の半導体装置の製造方法は、 $[O_i]$ が $8E17\text{ cm}^{-3}$ 以下、 $[BMD]$ が $1E8\text{ cm}^{-3}$ 以上、及び比抵抗が $500\Omega\cdot\text{cm}$ 以上の半導体基板を用い、回路を形成するためのデバイスプロセス中の熱工程を、 1000°C 換算で25時間以内とする点に特徴が

ある。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】ここで、 $[O_i]$ が $8E17\text{ cm}^{-3}$ 以下、及び比抵抗が $500\Omega\cdot\text{cm}$ 以上の半導体基板に、 $500\sim700^\circ\text{C}$ で5時間以内熱処理を行って、 $[BMD]$ を $1E8\text{ cm}^{-3}$ 以上とすることで、前記半導体基板を得るステップをさらに備えることもできる。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正内容】

【0012】あるいは、結晶引き上げ時に、 N_2 を $1E13\text{ cm}^{-3}$ 以上ドーピングすることにより $[BMD]$ を $1E8\text{ cm}^{-3}$ 以上とした、 $[O_i]$ が $8E17\text{ cm}^{-3}$ 以下で比抵抗が $500\Omega\cdot\text{cm}$ 以上の前記半導体基板を得るステップをさらに備えてもよい。